

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-294649

(43)Date of publication of application : 19.10.1992

(51)Int.Cl.

H04J 3/06

H04L 7/08

(21)Application number : 03-060083

(71)Applicant : MITSUBISHI ELECTRIC CORP

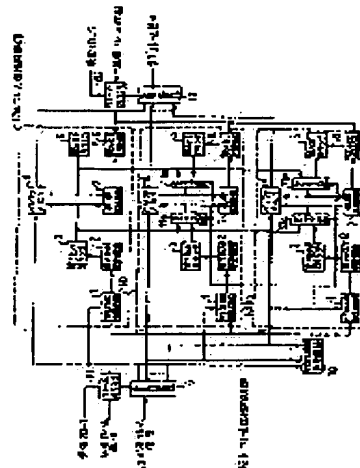
(22)Date of filing : 25.03.1991

(72)Inventor : KUBO KAZUO

(54) FRAME PHASE SYNCHRONIZING CIRCUIT**(57)Abstract:**

PURPOSE: To attain frame phase synchronization of a sub-frame signal even when a sub-frame signal in a transmission frame signal is subject to n -multiplexing in an optional relative phase with respect to a transmission frame phase.

CONSTITUTION: A sub-frame type identification circuit 10 identifies a type of a sub-frame subject to n -multiplexing in a transmission frame based on a specific pattern of an address written in an overhead area. Then in the case of $n=1$, a selector circuit 11a selecting $(n-1)$ sets of write addresses and a selector circuit 11b selecting $(n-1)$ sets of read addresses are controlled so that a buffer memory 4 is controlled in common. In the case of $n=2$, the selector circuits 11a, 11b are controlled so that the buffer memory 4 is controlled independently for each sub-frame. Thus, frame phase synchronization is taken while being automatically made correspondent even in any of the cases $n=1$, $n=2$ in n -multiplex of the sub-frame signal in the transmission frame signal.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

 11017 U.S. PTO
 10/007759
 10/31/01

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-294649

(43) 公開日 平成4年(1992)10月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/06	D	8843-5K		
H 0 4 L 7/08	A	8949-5K		

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平3-60083

(22) 出願日 平成3年(1991)3月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 久保 和夫

鎌倉市大船五丁目1番1号 三菱電機株式

会社通信システム研究所内

(74) 代理人 弁理士 高田 守 (外1名)

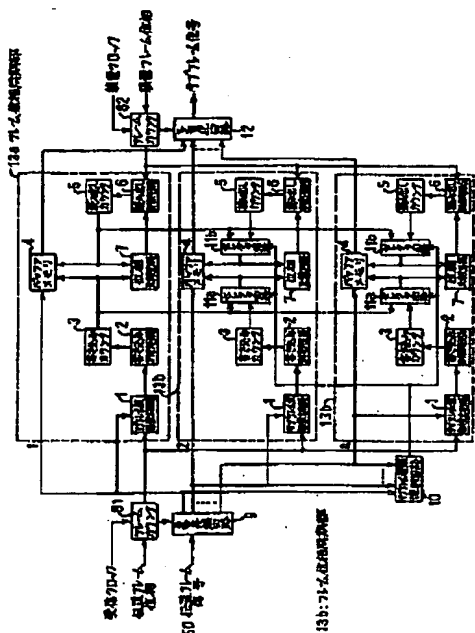
(54) 【発明の名称】 フレーム位同期回路

(57) 【要約】

【目的】 伝送フレーム信号内にサブフレーム信号が伝送フレーム位相に対して任意の相対位相で n (n は単数又は複数) 多重化されている場合でもサブフレーム信号のフレーム位相同期を取る。

【構成】 サブフレーム種類識別回路10が伝送フレーム信号内に n 多重化されているサブフレーム信号の種類を識別し、 $n=1$ の場合にはバッファメモリ4の制御が共通になるように $n-1$ 個のライトアドレスを選択するセクタ回路11aと $n-1$ 個のリードアドレスを選択するセクタ回路11bを切り替え、 $n \geq 2$ の場合には前記バッファメモリ4の制御がそれぞれ独立するように前記セクタ回路11aおよび前記セクタ回路11bをそれぞれ切り替える。

【効果】 伝送フレーム信号内にサブフレーム信号が n 多重化されていても自動的に対応してフレーム位相同期を取ることができる。



Best Available Copy

1

【特許請求の範囲】

【請求項1】 伝送フレーム信号内に n (n は単数又は複数であり、以下同様)個のサブフレーム信号が伝送フレーム位相に対してそれぞれ任意の相対フレーム位相により多重化されたデジタル時分割多重フレーム信号のフレーム位相同期を取るフレーム位相同期回路において、サブフレーム信号領域の信号を $1:n$ に多重分離する多重分離回路と、サブフレーム信号の種類を識別するサブフレーム種類識別回路を設け、伝送フレーム位相に対するサブフレーム信号の相対位相を検出するサブフレーム位相検出回路とサブフレーム信号を蓄えるバッファメモリとバッファメモリのライトアドレスを生成する書き込みカウンタと書き込みカウンタを制御する書き込み制御回路とバッファメモリのリードアドレスを生成する読み出しカウンタと読み出しカウンタを制御する読み出し制御回路とバッファメモリのライトアドレス/リードアドレスを比較する位相比較回路から構成され且つ伝送フレーム内に1個のサブフレーム信号のみの場合に必要な処理容量の $1/n$ の処理容量を有するフレーム位相同期部を n 個並列に配置し、2~ n 個めのフレーム位相同期部内にサブフレーム種類によりバッファメモリのライトアドレスとリードアドレスをそれぞれ選択するセクタ回路を備え、サブフレーム信号の多重化数 n が1か2以上かを前記サブフレーム種類識別回路が識別して任意の相対位相を有する n 個のサブフレーム信号のフレーム位相同期を取ることを特徴とするフレーム位相同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はデジタル時分割多重フレームのフレーム位相同期回路に関するものである。

【0002】

【従来の技術】 従来、この種の公知の回路として、図3に示すようなものがあった。この図はW. D. GROVER, T. E. MOORE, J. A. McEACHERN, ; "WAITING TIME JITTER REDUCTION BY SYNCHRONIZER STUFF THRESHOLD MODULATION", GLOBECON 87, P514~P518. に示されたもので、図3において1は伝送フレーム信号に対するサブフレーム信号の任意の相対位相を検出するサブフレーム位相検出回路、2はサブフレーム位相検出回路1に従って書き込みを制御する書き込み制御回路、3は書き込み制御回路2により制御されライトアドレスを生成する書き込みカウンタ、4はサブフレーム信号が蓄えられるバッファメモリ、5はリードアドレスを生成する読み出しカウンタ、6は読み出しカウンタ5を制御する読み出し制御回路、7は書き込みカウンタ3より出力されるライトアドレスと読み出しカウンタ5より出力されるリードアドレスの位相を比較する位相比較回路である。また、図4は図3に示した回路により処理される伝送フレーム信号50の例を示しており、伝送フレーム信号領域100はオーバーヘッド領域110とサブフレーム信号領域120に

2

分割され、オーバーヘッド領域110には各種保守用の信号および伝送フレーム位相に対するサブフレーム信号の相対位相を示すアドレスが格納されている。

【0003】 次に動作について説明する。サブフレーム位相検出回路1は伝送フレーム信号50に対するサブフレーム信号の任意の相対位相をオーバーヘッド領域110に格納されているアドレスより検出しその情報を書き込み制御回路2へ送出する。書き込み制御回路2はサブフレーム位相検出回路1からの情報に従って書き込みカウンタ3を制御し、書き込みカウンタ3はバッファメモリ4へライトアドレスを供給してサブフレーム信号をバッファメモリ4へ書き込むとともにライトアドレスを位相比較回路7へ出力する。読み出しカウンタ5はバッファメモリ4へリードアドレスを供給しサブフレーム信号を読み出すとともにリードアドレスを位相比較回路7へ出力する。位相比較回路7はライトアドレスとリードアドレスを比較してその結果を読み出し制御回路6へ送出する。読み出し制御回路6は位相比較結果に従って読み出しカウンタ5を制御する。以上の動作によりバッファメモリ4から読み出されたサブフレーム信号55は装置クロックに同期し、装置フレーム位相に対して任意の相対位相となりフレーム位相同期が取られる。従って、従来のフレーム位相同期回路は、図4に示す伝送フレームのように1つのサブフレーム信号の任意の相対フレーム位相のフレーム位相同期を取るようになっている。

【0004】

【発明が解決しようとする課題】 従来のフレーム位相同期回路は以上のように構成されているので、伝送フレーム信号内のサブフレーム信号が n 多重化されている場合に $n=1$ の場合のみ考慮され、 n が複数の場合は複数のサブフレーム信号の伝送フレーム位相に対する任意の相対位相のフレーム位相同期をとることはできないという問題があった。

【0005】 この発明は上記のような問題点を解決するためになされたもので、伝送フレーム信号内に1個のサブフレーム信号のみの場合でも複数のサブフレーム信号が多重化されている場合でも自動的に対応できるフレキシブルなフレーム位相同期回路を得ることを目的とする。

【0006】

【課題を解決するための手段】 この発明に係るフレーム位相同期回路は、サブフレーム信号領域を $1:n$ に多重分離する多重分離回路と、サブフレーム信号の種類を識別するサブフレーム種類識別回路を設け、伝送フレーム内に1個のサブフレーム信号のみの場合に必要な処理容量の $1/n$ の処理容量を有するフレーム位相同期部を n 個並列に配置し、2個め以後のフレーム位相同期部内にサブフレーム種類によりバッファメモリのライトアドレスとリードアドレスをそれぞれ切り替えるセクタ回路を設けたものである。

【0007】

【作用】この発明においては、サブフレーム種類識別回路が伝送フレーム内に多重化されているサブフレームの種類を識別して1多重の場合にはバッファメモリの制御が共通になるように $n-1$ 個のライトアドレスを選択するセクタ回路と $n-1$ 個のリードアドレスを選択するセクタ回路を制御し、複数多重されている場合にはサブフレーム毎にバッファメモリの制御が独立して行われるように前記セクタ回路を制御する。これらにより伝送フレーム信号内にサブフレーム信号が n 多重において $n=1$, $n \geq 2$ の何れの場合も自動的に対応してフレーム位相同期を取ることができる。

【0008】

【実施例】実施例1. 図1はこの発明の一実施例によるフレーム位相同期回路の構成を示すブロック図である。図において、1はサブフレーム位相検出回路、2は書き込み制御回路、3は書き込みカウンタ、4はバッファメモリ、5は読み出しカウンタ、6は読み出し制御回路、7は位相比較回路であり、図3に同一符号を付した従来のそれらと同一、あるいは相当部分であるため詳細な説明は省略する。

【0009】また、81は伝送フレーム位相に同期して受信クロックにより動作し伝送フレーム領域を計数するフレームカウンタ、82は装置フレーム位相に同期して装置クロックにより動作し伝送フレーム領域を計数し、各種タイミングを生成して読み出し制御回路6と多重化回路12に送出するフレームカウンタ、9はサブフレーム信号領域を1:nに多重分離する多重分離回路、10は多重分離回路により多重分離されたサブフレーム信号のサブフレーム種類を識別するサブフレーム種類識別回路、11aは書き込みカウンタ3からのライトアドレスを選択するセクタ回路、11bは読み出しカウンタ5からのリードアドレスを選択するセクタ回路、12はバッファメモリ4から読み出されたサブフレーム信号をn:1に多重化する多重化回路であり、13aはサブフレーム位相検出回路1、書き込み制御回路2、書き込みカウンタ3、バッファメモリ4、読み出しカウンタ5、読み出し制御回路6および位相比較回路7より構成され且つ、伝送フレーム内に1個のサブフレーム信号のみの場合に必要な処理容量の1/nの処理容量を有するフレーム位相同期部、13bは前記フレーム位相同期部13aに含まれる構成要素とセクタ回路11aおよびセクタ回路11bから構成され、前記フレーム位相同期部13aと同等の処理容量を有するフレーム位相同期部である。

【0010】図2は図1の回路により処理される伝送フレーム信号50の例を示しており、図4に示した伝送フレームと同一のオーバーヘッド領域110およびサブフレーム信号領域120の容量を有しているが、サブフレーム信号領域120にはn個のサブフレーム信号が多重化

されている場合を示している。オーバーヘッド領域110には伝送フレーム信号に対するサブフレーム信号の任意の相対位相を示すアドレスが格納されており、サブフレーム信号がn多重化されている場合にはn個のアドレスが有効であり、サブフレーム信号が1個の場合には1個のアドレスのみ有効で、残りのアドレスは特定のパターンとなっている。

【0011】次に動作について図1、図2を参照して説明する。フレームカウンタ回路81は伝送フレーム位相に同期して受信クロックにより動作し伝送フレーム領域を計数して各種タイミングを生成し、多重分離回路9および各サブフレーム位相検出回路1へ送出する。多重分離回路9はサブフレーム信号領域120の信号を1:nに多重分離してフレーム位相同期部13aおよび $n-1$ 個のフレーム位相同期部13bへ多重分離後のサブフレーム信号およびオーバーヘッド領域110の信号を送出するとともにサブフレーム種類識別回路10へも送出する。サブフレーム種類識別回路10はサブフレーム信号がn多重化され $n \geq 2$ か、あるいは $n=1$ のサブフレーム信号であるかをオーバーヘッド領域110に書かれているアドレスの特定パターンにより識別して $n-1$ 個のセクタ回路11aおよび $n-1$ 個のセクタ回路11bを制御する。フレーム位相同期部13aにおける動作は次の通りである。サブフレーム位相検出回路1は伝送フレーム位相に対するサブフレーム信号の任意の相対位相をオーバーヘッド領域110に格納されているアドレスより検出しその情報を書き込み制御回路2へ送出する。書き込み制御回路2はサブフレーム位相検出回路1からの情報に従って書き込みカウンタ3を制御し、書き込みカウンタ3はバッファメモリ4へライトアドレスを生成し供給してサブフレーム信号をバッファメモリ4へ書き込むとともにライトアドレスを位相比較回路7及び、 $n-1$ 個のフレーム位相同期部13b内のセクタ回路11aへ送出する。読み出しカウンタ5はバッファメモリ4へリードアドレスを供給してサブフレーム信号を読み出すとともにリードアドレスを位相比較回路7へ送出し、さらに、 $n-1$ 個のフレーム位相同期部13b内のセクタ回路11bへ送出する。位相比較回路7はライトアドレスとリードアドレスを比較してその結果を読み出し制御回路6へ送出する。読み出し制御回路6は位相比較結果に従って読み出しカウンタ5を制御する。以上の動作によりサブフレーム信号は装置クロックに同期し、装置フレーム位相に対して任意の相対位相となりフレーム位相同期が取られる。

【0012】次に、 $n-1$ 個のフレーム位相同期部13bにおける動作は次の通りである。フレーム位相同期部13a内と同一の符号を付した回路は同様な動作を行い、図2に示す伝送フレーム信号領域100においてサブフレーム信号数 $n \geq 2$ の場合には、セクタ回路11aはサブフレーム種類識別回路10により制御されてフ

5

フレーム位相同期部13b内の書き込みカウンタ2からのライトアドレスを選択してバッファメモリ4へ供給する。同様にセクタ回路11bはフレーム位相同期部13b内の読み出しカウンタ5からのアドレスを選択しバッファメモリ4へリードアドレスを供給する。n-1個のフレーム位相同期部13bがそれぞれ以上の制御を行い、各サブフレーム信号を蓄えるそれぞれのバッファメモリ4の制御は各々独立に行われるので、任意の相対位相を有する各サブフレーム信号のフレーム位相同期を取ることができる。

【0013】一方、図2に示す伝送フレーム100においてサブフレーム信号数n=1の場合には、セクタ回路11aはサブフレーム種類識別回路10により制御されてフレーム位相同期部13a内の書き込みカウンタ3からのライトアドレスを選択してバッファメモリ4へ供給する。同様にセクタ回路11bはフレーム位相同期部13aの読み出しカウンタ5からのアドレスを選択してバッファメモリ4へリードアドレスを供給する。従って、多重分離されたサブフレーム信号を蓄える全てのバッファメモリ4はフレーム位相同期部13aにより共通制御されるので、サブフレーム信号のフレーム位相同期部を取ることができる。

【0014】さらに、フレームカウンタ82は装置フレーム位相に同期して装置クロックにより動作し伝送フレーム領域を計数して各種タイミングを生成し、また、多重分離されフレーム位相同期が取られたサブフレーム信号は多重化回路12によりn:1に多重化されて出力される。

【0015】従って、サブフレーム種類識別回路10が伝送フレーム内に多重化されているサブフレームの種類を識別してサブフレーム信号数n=1の場合にはバッファメモリ4の制御が共通になるようにn-1個のセクタ回路11aおよびn-1個のセクタ回路11bを制御しサブフレーム信号数n≧2の場合にはバッファメモリ4の制御が独立して行われるようにn-1個のセクタ回路11aおよびn-1個のセクタ回路11bを制御するので、伝送フレーム信号内にサブフレーム信号が任意の相対位相でn多重化されていても自動的に対応してフレーム位相同期を取ることができるものである。

【0016】

【発明の効果】以上のようにこの発明によれば、サブフ

6

フレーム信号領域を1:nに多重分離する多重分離回路と、サブフレーム信号の種類を識別するサブフレーム種類識別回路を設け、伝送フレーム信号内に1個のサブフレーム信号のみの場合に必要な処理容量の1/nの処理容量を有するフレーム位相同期部をn個並列に配置し、2個め以後のフレーム位相同期部内にサブフレーム種類によりバッファメモリ4のライトアドレスとリードアドレスをそれぞれ選択するセクタ回路を設けたので、サブフレーム種類識別回路が伝送フレーム内にn多重化されているサブフレーム信号の種類を識別し、n=1の場合にはバッファメモリ4の制御が共通になるようにn-1個のライトアドレスを選択するセクタ回路とn-1個のリードアドレスを選択するセクタ回路を切り替え、n≧2の場合にはバッファメモリ4の制御がそれぞれ独立するように前記セクタ回路をそれぞれ切り替えるので、伝送フレーム信号内にサブフレーム信号がn多重化されていても自動的に対応してフレーム位相同期を取ることができるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例によるフレーム位相同期回路の構成を示すブロック図である。

【図2】この発明におけるフレーム位相同期回路がフレーム位相同期を取る伝送フレームの一例を示す図である。

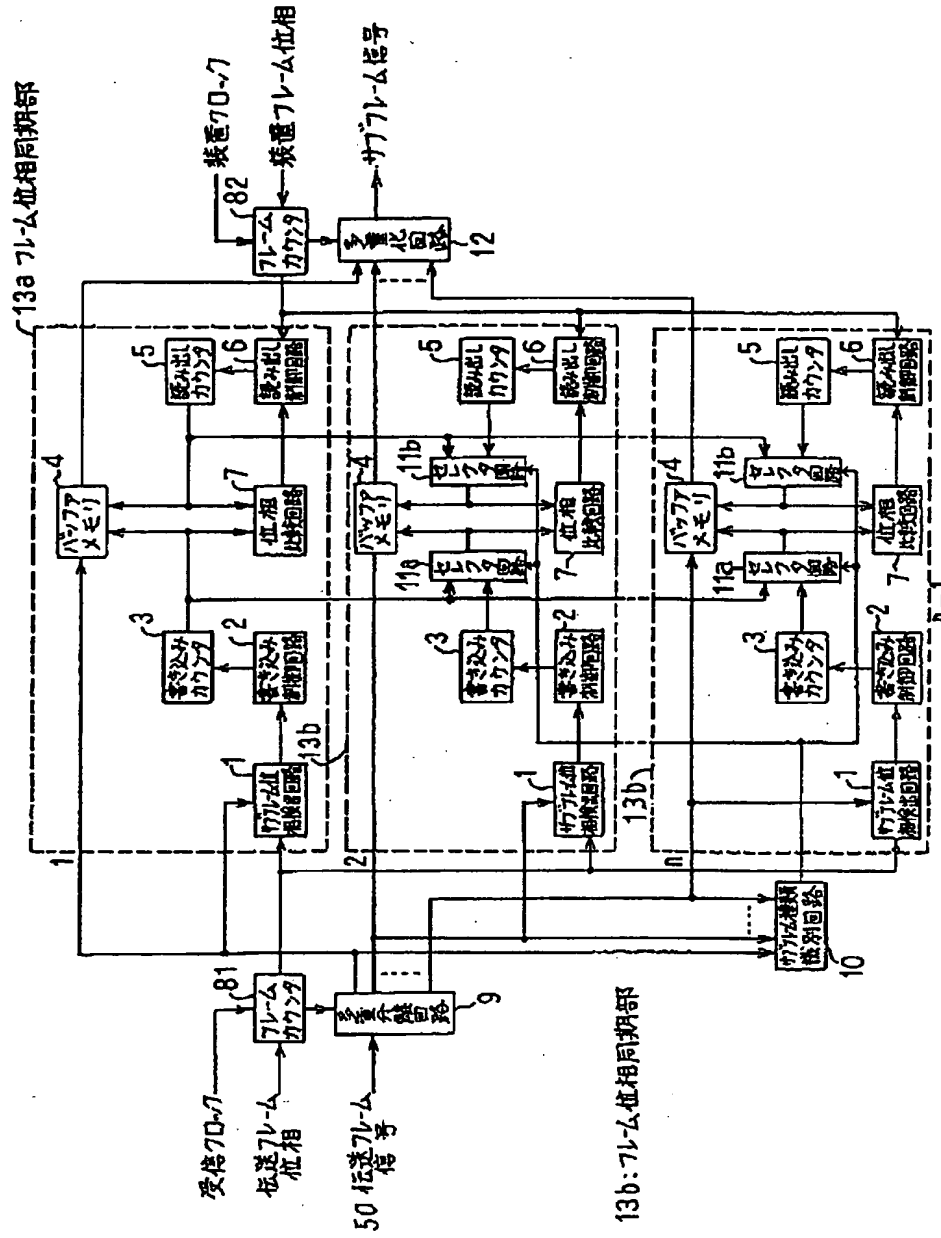
【図3】従来のフレーム位相同期回路の構成を示すブロック図である。

【図4】従来のフレーム位相同期回路がフレーム位相同期を取る伝送フレームの一例を示す図である。

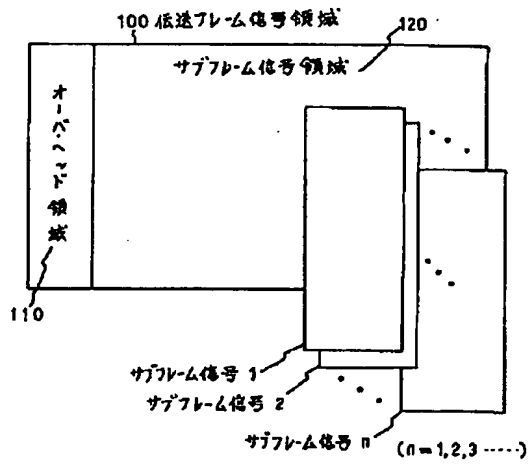
【符号の説明】

- 1 サブフレーム位相検出回路
- 2 書き込み制御回路
- 3 書き込みカウンタ
- 4 バッファメモリ
- 5 読み出しカウンタ
- 6 読み出し制御回路
- 7 位相比較回路
- 9 多重分離回路
- 10 サブフレーム種類識別回路
- 11a、11b セクタ回路
- 13a、13b フレーム位相同期部

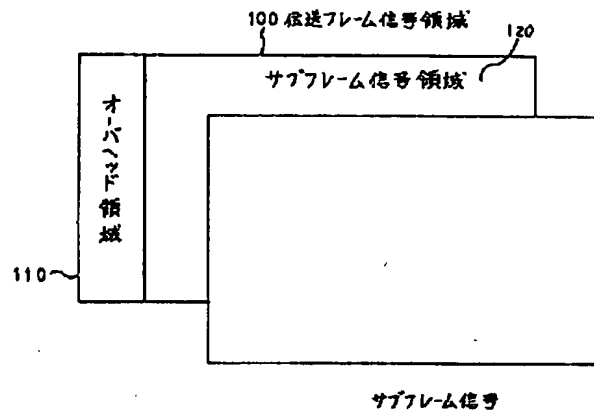
【図1】



【図2】



【図4】



【図3】

